



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0083421
Application Number

출원 년 월 일 : 2002년 12월 24일
Date of Application DEC 24, 2002

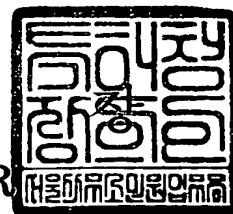
출원인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 09 월 17 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
 【권리구분】 특허
 【수신처】 특허청장
 【참조번호】 0009
 【제출일자】 2002.12.24
 【발명의 명칭】 반도체 소자 제조 방법
 【발명의 영문명칭】 Fabrication method of semiconductor device
 【출원인】

【명칭】 아남반도체 주식회사
 【출원인코드】 1-1998-002671-9

【대리인】
 【명칭】 유미특허법인
 【대리인코드】 9-2001-100003-6
 【지정된변리사】 오원석
 【포괄위임등록번호】 2001-041985-8

【발명자】
 【성명의 국문표기】 서영훈
 【성명의 영문표기】 SEO, YOUNG HUN
 【주민등록번호】 691112-1480811
 【우편번호】 420-130
 【주소】 경기도 부천시 원미구 도당동 222번지
 【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 유미특허법인 (인)

【수수료】

【기본출원료】 10 면 29,000 원
 【가산출원료】 0 면 0 원
 【우선권주장료】 0 건 0 원
 【심사청구료】 3 항 205,000 원
 【합계】 234,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반도체 소자 제조 방법에 관한 것으로, 그 목적은 좁은 폭의 게이트를 형성하는 것이다. 이를 위해 본 발명에서는 반도체 기판 상에 게이트산화막 및 희생막을 순차적으로 형성하는 단계; 희생막을 선택적으로 식각하여 사이드월구를 형성하도록 패터닝하는 단계; 사이드월구를 통해 노출된 게이트산화막 및 희생막 상에 다결정실리콘층을 형성하는 단계; 다결정실리콘층을 에치백하여 사이드월구의 측벽에 남김으로써 사이드월 형상을 가지는 게이트를 형성하되, 사이드월 형상의 게이트가 목적하는 게이트의 폭에 해당하는 폭을 가지도록 에치백하는 단계; 희생막을 제거하는 단계를 포함하여 반도체 소자를 제조한다.

【대표도】

도 1d

【색인어】

게이트, 감광막, 사이드월



【명세서】

【발명의 명칭】

반도체 소자 제조 방법 {Fabrication method of semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1d는 본 발명에 따른 반도체 소자 제조 방법을 도시한 단면도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <2> 본 발명은 반도체 소자 제조 방법에 관한 것으로, 더욱 상세하게는 고집적화된 소형 소자에서 좁은 폭을 가지는 게이트를 형성하는 방법에 관한 것이다.
- <3> 일반적으로 모스 트랜지스터는 필드 효과 트랜지스터의 일종으로, 반도체 기판에 형성된 소스, 드레인 영역과 이 소스, 드레인 영역이 형성된 기판 상에 게이트 산화막과 게이트가 형성된 구조를 가진다.
- <4> 종래 모스 트랜지스터 소자 제조 방법에서는, 반도체 기판의 소자 활성영역에 게이트 산화막을 형성하고, 게이트 산화막 상에 다결정실리콘층을 형성한 후, 다음, 다결정실리콘층 상에 감광막을 도포하고 노광 및 현상하여 원하는 소정폭의 다결정실리콘만을 덮고 나머지 다결정실리콘을 노출시키는 감광막 패턴을 형성한다.
- <5> 다음, 종점검출장치(EPD : end point detection)를 이용하는 방법 등으로, 감광막 패턴을 마스크로 하여 노출된 다결정실리콘층을 식각하고, 소정폭의 다결정실리콘층을 남겨 게이트를 형성한다.

<6> 그런데, 감광막을 노광 및 현상할 때 하부에 위치하는 다결정실리콘층 등으로부터 빛의 반사가 일어나기 때문에, 원하는 패턴 치수대로 정확하게 패터닝하는 것이 어려우며 이러한 현상은 소자가 고집적화되어 갈수록 패턴 치수가 작아지므로 더욱 문제가 되고 있다.

<7> 따라서, 소자가 고집적화되는 현재 추세로는 좁은 폭의 게이트를 구현하는 것이 어려워지고 있는데, 이를 해결하기 위해 다결정실리콘층 상에 유기 또는 무기 반사방지막(ARC : anti-reflection coating)을 형성하는 방법을 사용하기도 한다.

<8> 그러나 이와 같이 반사방지막을 형성하여도 감광막을 패터닝하는 치수에는 한계가 있으며, 현재 패터닝 공정으로는 $0.18\mu\text{m}$ 폭의 게이트를 구현할 수 있으나, $0.15\mu\text{m}$, $0.13\mu\text{m}$ 등으로 줄어든 폭의 게이트를 구현하는 것은 불가능하다.

【발명이 이루고자 하는 기술적 과제】

<9> 본 발명은 상기한 바와 같은 문제점을 해결하기 위한 것으로, 그 목적은 좁은 폭의 게이트를 형성하는 것이다.

【발명의 구성 및 작용】

<10> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명에서는 에치백 방법으로 목적하는 게이트 폭에 해당하는 폭을 가지는 사이드월 형상의 게이트를 형성하는 것을 특징으로 한다.

<11> 즉, 본 발명에 따른 반도체 소자 제조 방법은, 반도체 기판 상에 게이트산화막 및 희생막을 순차적으로 형성하는 단계; 희생막을 선택적으로 식각하여 사이드월구를 형성하도록 패터닝하는 단계; 사이드월구를 통해 노출된 게이트산화막 및 희생막 상에 다결정실리콘층을 형성하는 단계; 다결정실리콘층을 에치백하여 사이드월구의 측벽에 남김으로써 사이드월 형상을 가



지는 게이트를 형성하되, 사이드월 형상의 게이트가 목적하는 게이트의 폭에 해당하는 폭을 가지도록 에치백하는 단계; 희생막을 제거하는 단계를 포함하여 이루어진다.

<12> 여기서, 희생막을 패터닝할 때에는, 사이드월구가 목적하는 한 게이트 및 이웃하는 다른 게이트를 포함하여 한 게이트로부터 이웃하는 다른 게이트까지의 거리에 해당하는 폭을 가지도록 희생막을 선택적 식각하는 것이 바람직하다.

<13> 또한, 희생막으로는 질화막을 형성하는 것이 바람직하다.

<14> 이하, 본 발명에 따른 반도체 소자 제조 방법에 대해 첨부된 도면을 참조하여 상세히 설명한다. 도 1a 내지 도 1d는 본 발명에 따른 반도체 소자 제조 방법을 도시한 단면도이다.

<15> 본 발명에서는 감광막을 노광 및 현상하는 패터닝 공정의 한계를 극복하기 위해, 감광막을 사용하지 않고 에치백으로 측벽에 사이드월을 남기는 것에 의해 목적하는 게이트를 형성하는 데 그 특징이 있다.

<16> 먼저, 도 1a에 도시된 바와 같이, 트렌치(10)에 의해 소자의 활성영역 및 분리영역이 구분된 반도체 기판(11)의 상면에 게이트산화막(12)을 형성하고, 게이트산화막(12) 상에 이종막으로서 질화막(13)을 형성한다.

<17> 이 때 이종막으로 형성하는 질화막(13)은 이후 사이드월이 형성될 측벽을 제공하기 위해 형성하는 막으로서, 그 두께는 목적하는 게이트의 폭을 고려하여 결정하도록 한다.

<18> 이어서, 질화막(14) 상에 감광막을 도포하고 노광 및 현상하여 소정폭의 질화막(14)을 노출시키는 감광막 패턴(14)을 형성한다.



- <19> 이 때 노출되는 질화막의 폭을 목적하는 한 게이트 및 이웃하는 다른 게이트를 포함하여 한 게이트로부터 이웃하는 다른 게이트까지의 거리에 해당하도록 하면, 이웃하는 두 게이트를 동시에 형성할 수 있다.
- <20> 다음, 도 1b에 도시된 바와 같이, 감광막 패턴(14)을 마스크로 하여 노출된 질화막(13)을 식각하여 질화막 패턴(13')을 형성한 후, 감광막 패턴(14)을 제거하고 세정공정을 수행한다.
- <21> 이어서, 질화막 패턴(13') 및 게이트산화막(12)을 포함하여 반도체 기판(11)의 상부 전면에 다결정실리콘층(15)을 형성한다.
- <22> 다음, 도 1c에 도시된 바와 같이, 다결정실리콘층(15)을 에치백하여 질화막 패턴(13')의 측방에 남김으로써 사이드월 형상의 다결정실리콘층으로 이루어진 게이트(15')를 형성한다.
- <23> 에치백 공정에서 오버에치하는 정도는 목적하는 게이트 폭 치수에 따라 결정하도록 하며, 구체적으로는 목적하는 게이트 폭이 좁을수록 오버에치를 많이 하여 폭이 좁은 게이트(15')로 남긴다.
- <24> 다음, 도 1d에 도시된 바와 같이, 질화막 패턴(13')을 제거하고, 이후 통상적인 트랜지스터 제조 공정을 진행한다.

【발명의 효과】

- <25> 상술한 바와 같이, 본 발명에서는 에치백 방법으로 목적하는 게이트 폭에 해당하는 폭을 가지는 사이드월 형상의 게이트를 형성하므로, 종래 방법으로 구현할 수 없었던 좁은 폭의 게이트를 형성하는 효과가 있으며, 따라서 소자를 더욱 소형화시킬 수 있는 효과가 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판 상에 게이트산화막 및 희생막을 순차적으로 형성하는 단계;

상기 희생막을 선택적으로 식각하여 사이드월구를 형성하도록 패터닝하는 단계;

상기 사이드월구를 통해 노출된 게이트산화막 및 희생막 상에 다결정실리콘층을 형성하는 단계;

상기 다결정실리콘층을 에치백하여 상기 사이드월구의 측벽에 남김으로써 사이드월 형상을 가지는 게이트를 형성하되, 상기 사이드월 형상의 게이트가 목적하는 게이트의 폭에 해당하는 폭을 가지도록 에치백하는 단계;

상기 희생막을 제거하는 단계

를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 희생막을 패터닝할 때에는, 상기 사이드월구가 목적하는 한 게이트 및 이웃하는 다른 게이트를 포함하여 상기 한 게이트로부터 상기 이웃하는 다른 게이트까지의 거리에 해당하는 폭을 가지도록 상기 희생막을 선택적 식각하는 것을 특징으로 하는 반도체 소자 제조 방법.

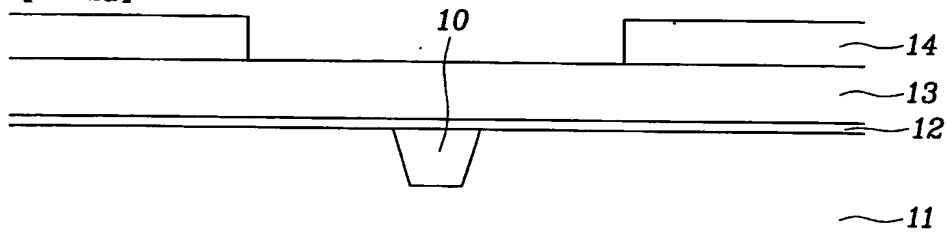
【청구항 3】

제 1 항 또는 제 2 항에 있어서,

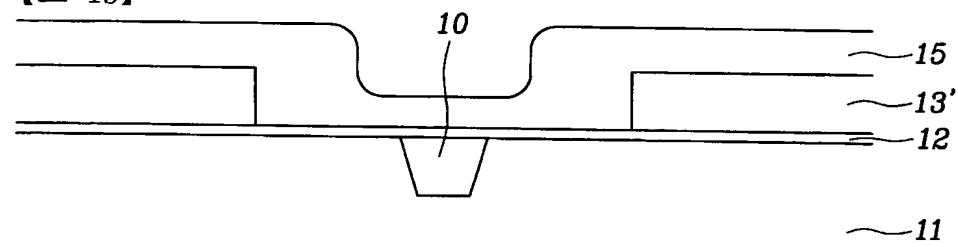
상기 희생막으로는 질화막을 형성하는 것을 특징으로 하는 반도체 소자 제조 방법.

【도면】

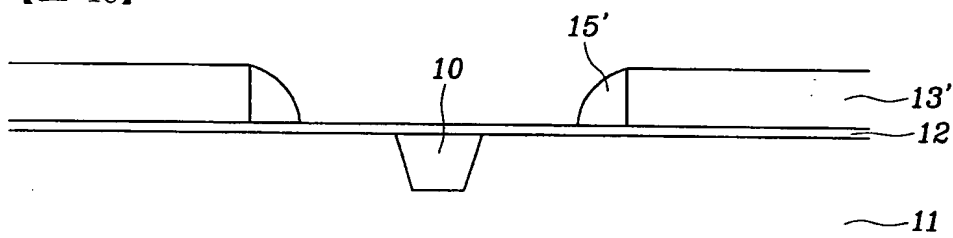
【도 1a】



【도 1b】



【도 1c】



【도 1d】

